

Asignatura: Electrónica Digital

Prueba de Evaluación Continua (PEC)

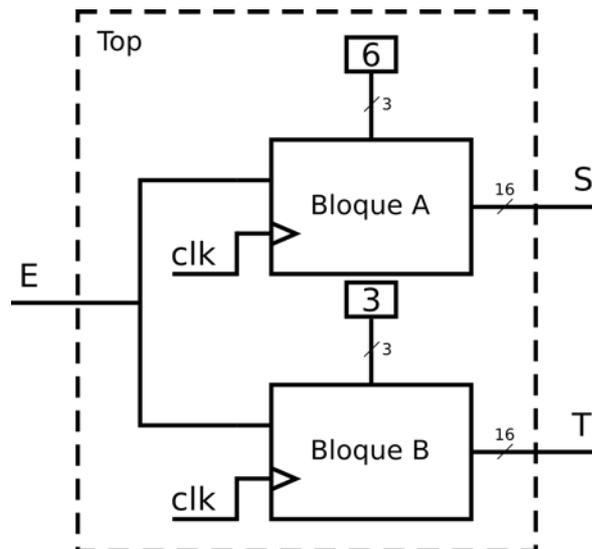
Convocatoria: Julio 2019 Fecha: 27/06/2019

Duración: 1 hora y 30 minutos

Ejercicio 1 (6 Puntos)

Por una línea serie se reciben, de manera síncrona con el reloj, paquetes de 8 bits, en los que el primer bit recibido vale siempre '1', los tres siguientes indican una dirección y los cuatro restantes, un valor numérico. Mientras no hay mensaje, la línea permanece a cero. Los bits de la dirección y del valor numérico se reciben ordenados del más significativo al menos significativo. Se pide:

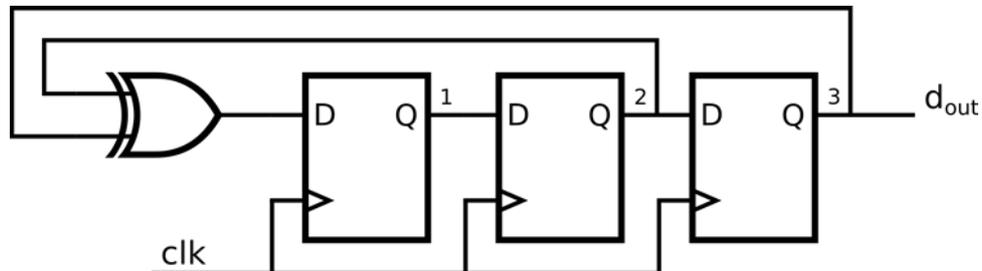
- Descripción VHDL de un bloque (bloque A en la figura) que reciba la señal serie, interprete el paquete, y en caso de que los bits de dirección coincidan con un valor fijo, que se le indica al bloque por otra entrada (en paralelo, de tres bits), acumule el valor numérico recibido sobre un registro interno de 16 bits. Este valor interno se saca al exterior del módulo. De forma particular, si la dirección recibida es 111, no se atiende al valor numérico del paquete, sino que se resetea el contador de forma síncrona.
- Con dos de los bloques arriba descritos y empleando para ello una descripción estructural, se desea implementar un sistema de acumuladores que muestre por salidas separadas el valor de un acumulador para las direcciones 3 y 6, tal como muestra la figura. La entrada serie es común a ambos bloques.
- Implemente también en VHDL un *test bench* que permita validar la acumulación de más de un número en uno solo de los módulos y su función de reset con la dirección 111.



.../... (sigue en la cara posterior)

Ejercicio 2 (4 puntos)

Dado el circuito de la figura:



Se pide:

- Implementación en VHDL del circuito de la figura, sabiendo que no puede inicializarse a 000 (el sistema no funcionaría).
- Implementación en VHDL de un circuito similar, pero con longitud de 65 bits, aplicando la XOR entre los bits con posiciones 65 y 47. Nótese que la salida de este circuito puede considerarse un generador de números aleatorios de un bit.
- Empleando un bloque como el de la figura, asumiendo que se le añade una señal de habilitación (un puerto *enable*), y sabiendo que tenemos un reloj de 8 MHz, diseñe un circuito que genere un número aleatorio (de un bit) nuevo cada segundo.

Nota: No está permitido el uso de calculadora en todo el examen.